



PATENT ABSTRACTS OF JAPAN

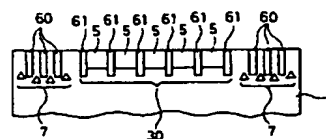
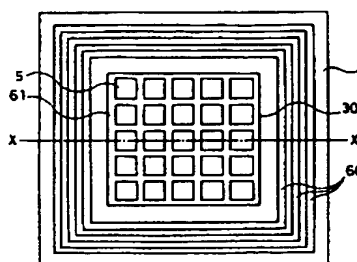
(11)Publication number: **03200335 A**(43)Date of publication of application: **02.09.91**(51)Int. Cl. **H01L 21/322**
H01L 21/76(21)Application number: **01341136**(22)Date of filing: **27.12.89**(71)Applicant: **MITSUBISHI ELECTRIC CORP**(72)Inventor: **SUDA KAKUTAROU****(54)SEMICONDUCTOR DEVICE****(57)Abstract:**

PURPOSE: To obtain a high gettering effect independent of the oxygen density of a substrate and improve the yield of products by providing a region other than an element forming region with a plurality of narrowly spaced groove type separation patterns and absorbing a thermal stress generated in an element separation region into the groove type separation patterns.

CONSTITUTION: An element forming region 30 composed of elements 5 and a groove type element separation region 61 is formed on a semiconductor substrate 1. Groove type separation patterns 60 like narrowly spaced square stripes are formed around the element forming region 30. Generally, since the narrower spacings between the adjacent grooves are, the more crystal defects tend to be generated in the groove type separation patterns 60 formed on the surface of the semiconductor substrate 1, the crystal defects 7 are induced in the neighborhood of the narrowly spaced groove type separation patterns 60 formed on a region other than the element forming region 30. The concentration of the crystal defects 7 is the neighborhood of the narrowly spaced groove type separation patterns 60 relieves a thermal stress generated in the element forming region 30 to make it a

nondefective region. Thus, a high gettering effect can be obtained and the yield of products can be improved.

COPYRIGHT: (C)1991,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-200335

⑬ Int. Cl.³

H 01 L 21/322
21/76

識別記号

G 7738-5F
L 7638-5F

庁内整理番号

⑭ 公開 平成3年(1991)9月2日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-341136

⑰ 出 願 平1(1989)12月27日

⑱ 発 明 者 須 田 核 太 郎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体基板上の主表面に、複数の素子が複数の溝型素子分離領域によりそれぞれ電気的に絶縁されてなる素子形成領域を有する半導体装置において、

前記半導体基板上の主表面の、前記素子形成領域以外の領域に複数の溝型分離パターンが形成され、該溝型分離パターンの相互の間隔は、前記複数の溝型分離領域の相互の間隔よりも狭いことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置に関し、特に結晶欠陥のゲッタリング方法に関するものである。

(従来の技術)

第5図は従来の半導体装置における結晶欠陥のゲッタリング方法を示す断面図である。

図において、半導体基板1の表面から数〜十数 μm の深さの所に酸素析出層2が形成され、この酸素析出層2で結晶欠陥7をゲッタリングすることによって、基板表面に無欠陥層31が形成されている。そしてこの無欠陥層31に複数の素子5とこれらを電気的に絶縁する溝型分離領域61を形成して半導体装置を構成している。

また、第6図は従来の他の結晶欠陥のゲッタリング方法を示す断面図である。

第6図において、半導体基板1の裏面にはダメージ層4が形成されており、このダメージ層4で結晶欠陥7をゲッタリングして基板表面に無欠陥層31を形成している。

さらには、上記の2つの方法を併用して結晶欠陥をゲッタリングする場合もある。

(発明が解決しようとする課題)

以上のように従来の半導体装置では、酸素析出層または裏面ダメージ層、あるいは両者の併用によって結晶欠陥のゲッタリングを行っているが、一般に溝型分離を有した半導体装置では、幅1 μ

m前後で深さ数 μ mの溝を半導体基板に掘り、基板とは熱膨張係数が異なる絶縁物等で溝を埋め込むため、熱応力による結晶欠陥が非常に発生し易く、従来のゲッタリング方法だけでは十分に欠陥の発生を抑えきれず、第5図および第6図に示すように本来無欠陥層31であるべき所まで結晶欠陥7が発生し、その結果、素子の製品歩留りが低いという問題点があった。

また、酸素析出層を利用する場合、半導体装置の製造プロセス条件によって基板の最濃酸素濃度が異なるため、プロセス条件を変更する毎に最濃酸素濃度を求めなければならないという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、十分に欠陥の発生を抑えることができるとともに、基板の酸素濃度にかかわらず結晶欠陥のゲッタリング効果を著しく向上させることができる半導体装置を得ることを目的とする。

〔課題を解決するための手段〕

離領域である。図に示すように半導体基板1上には素子5と溝型素子分離領域61とからなる素子形成領域30が有り、その周囲には間隔の狭いストライプ状の溝型分離60が正方形形状に形成されている。

また、第1図におけるX-X'部分の断面構造は第2図のごとくになっており、同図において、溝型分離60の近傍に結晶欠陥7が集中して発生しており、素子形成領域30は無欠陥領域となっている。

このような本実施例によれば、一般に半導体基板表面に形成した溝型分離領域は、その間隔が狭い程、結晶欠陥を発生し易い傾向にあることから、素子形成領域30以外の領域に形成した間隔の狭い溝型分離パターン60の近傍に結晶欠陥7が誘発される。従って、この間隔の狭い溝型分離パターン60の近傍に欠陥を集中させることによって素子形成領域で生じた熱応力を緩和して素子形成領域30を無欠陥領域とすることができ、基板の酸素濃度によることなく高いゲッタリング効果が

この発明に係る半導体装置は、複数の素子とこれらの複数の素子を絶縁する溝型の素子分離領域とから成る素子形成領域以外の領域に、該溝型の素子分離領域の間隔よりも間隔の狭い複数の溝型分離パターンを設けたものである。

〔作用〕

この発明においては、素子形成領域以外の領域に形成した間隔の狭い溝型分離パターンによりその近傍に結晶欠陥が誘発され、ここに欠陥を集中させることによって素子形成領域で生じた熱応力を緩和しこれを無欠陥領域とする。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図はこの発明の第1の実施例による半導体装置を示す平面図、第2図は第1図のX-X'断面の構造を示す図である。図において、1は半導体基板、5は素子、7は結晶欠陥、61は個々の素子5を分離する溝形の素子分離領域、30は素子形成領域、60は結晶欠陥7を誘発する溝型分

得られ、製品歩留りの向上が図れる。

尚、上記実施例では溝型分離領域60を素子形成領域30の周囲にストライプ状で正方形形状に形成したが、溝型分離領域のパターン形状は特にストライプ状に規定されるものではなく、本発明の第2の実施例として第3図に示すようなドット形状でもよく、この場合においても上記実施例と同様の効果を奏する。

また、第4図はこの発明の第3の実施例による半導体装置を示す断面図である。図において、第1図及び第2図と同一符号は同一部分を示し、図において、周辺の溝型分離領域60は、素子領域内の溝型素子分離61より深く形成されている。これによって溝型分離60の近傍にはより欠陥が発生し易くなり、上記第1及び第2の実施例に比しゲッタリング効果を増大させることが出来る。

〔発明の効果〕

以上のようにこの発明によれば、複数の素子とこれらの複数の素子を絶縁する溝型の素子分離領域とから成る素子形成領域以外の領域に、間隔の

狭い複数の溝型分離パターンを設け、素子分離領域に生じた熱応力を周辺に形成した溝型分離パターンに吸収させる構造としたため、基板の熱変形度によることなく、高いゲッターリング効果が得られ、その結果、製品歩留りの高い半導体装置が得られる効果がある。

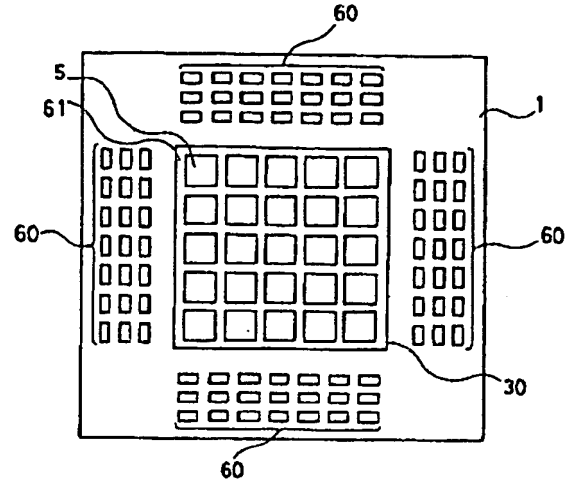
4. 図面の簡単な説明

第1図は本発明の第1の実施例による半導体装置を示す平面図、第2図は第1図の半導体装置におけるX-X'部分の断面図、第3図は本発明の第2の実施例による半導体装置を示す平面図、第4図は本発明の第3の実施例による半導体装置を示す断面図、第5図は従来例による半導体装置を示す断面図、第6図はその他の従来例による半導体装置を示す断面図である。

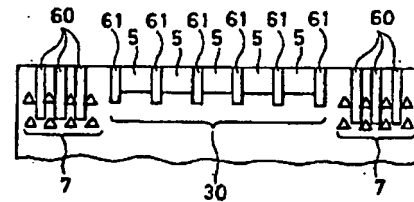
図において、1は半導体基板、5は素子、30は素子形成領域、60は結晶欠陥を誘発する溝型分離領域、61は素子分離用の溝型分離領域をそれぞれ示す。

なお図中同一符号は同一又は相当部分を示す。

第3図

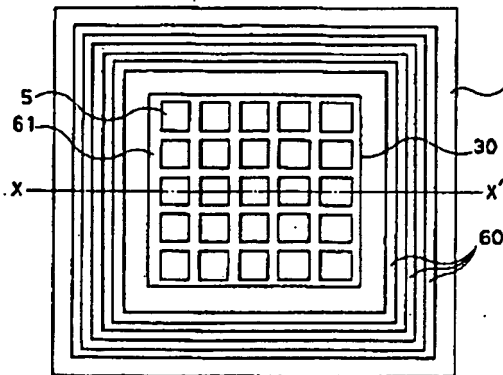


第4図



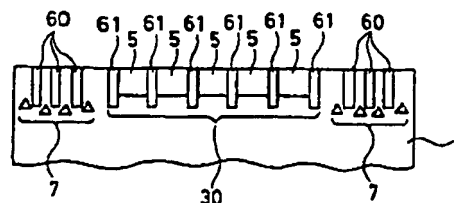
第1図

1: 半導体基板
5: 素子
30: 素子形成領域

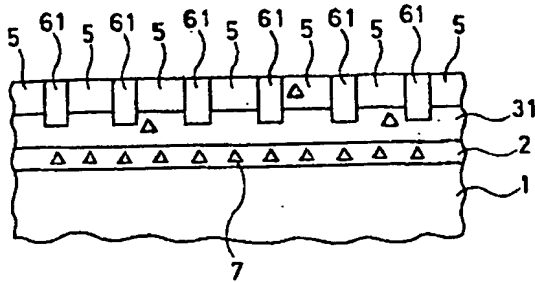


第2図

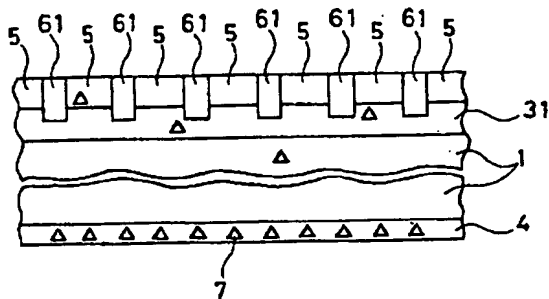
60: 結晶欠陥を誘発する溝型分離領域
61: 素子分離用の溝型分離領域



第 5 図



第 6 図



5. 補正の対象

明細書の特許請求の範囲の欄、及び発明の詳細な説明の欄

6. 補正の内容

- (1) 明細書の特許請求の範囲を別紙の通り訂正する。
- (2) 明細書第 6 頁第 12 行～第 13 行の「素子領域内の」を「素子形成領域 30 内の」に訂正する。

以 上

平成 2 年 5 月 8 日

特許庁長官 殿

1. 事件の表示

特開平 1 - 3 4 1 1 3 6 号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目 2 番 3 号

名 称 (601) 三菱電機株式会社

代表者 志 岐 守 毅

4. 代理人

住 所 郵便番号 564 大阪府吹田市江坂町 1 丁目 23 番 43 号

フッサード江坂ビル 7 階

氏 名 (8181) 弁理士 早 瀬 憲 一

電話 06-380-5822

方式 審査



特許請求の範囲

(1) 半導体基板上的の主表面に、複数の素子が複数の溝型素子分離領域によりそれぞれ電気的に絶縁されてなる素子形成領域を有する半導体装置において、

前記半導体基板上的の主表面の、前記素子形成領域以外の領域に複数の溝型分離パターンが形成され、該溝型分離パターンの相互の間隔は、前記複数の溝型素子分離領域の相互の間隔よりも狭いことを特徴とする半導体装置。